

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-155527

(43)Date of publication of application : 28.06.1988

(51)Int.Cl.

H01J 11/00
H01J 17/00

(21)Application number : 61-302955

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.12.1986

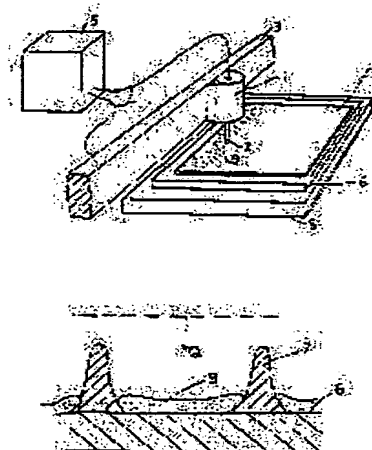
(72)Inventor : NANTO TOSHIYUKI
SHINODA TSUTAE
HORIO KENJI
MIYAHARA MAMORU

(54) MANUFACTURE OF GAS DISCHARGE PANEL

(57)Abstract:

PURPOSE: To enable sticking of a phosphor on displaying points without interruption of large partitions by spraying a cover substrate, from a nozzle, with a phosphor solution, which is formed by dissolving a phosphor into a solvent, insularly corresponding to discharge points.

CONSTITUTION: While an injection head 1 is slid on a scanning mechanism 3, the scanning mechanism 3 itself is moved perpendicularly to said sliding direction, at every pitch of a picture element on the whole surface of a cover substrate 6. Therefore, a space length is maintained between a nozzle 2 and partitions 7. The cover substrate 6 on which the partitions 7 are processed in advance is fixed not to move on a mounting board 8. Since each temporary stopping position for the injection head 1 moving on the scanning mechanism 3 controlled via a controlling cable 4 from a controlling portion 5 corresponds to each position for the picture element, a phosphor solution is dripped or injected thereat through the nozzle 2 from the injection head 1. Hence, coating of the phosphor 9 is completed on positions which correspond to displaying discharge portions surrounded with the partitions 7 on the bottom part of the substrate 6 by dripping or injection of the phosphor solution from the nozzle 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭63-15527

⑬ Int.Cl.⁴ 識別記号 庁内整理番号 ⑭ 公開 昭和63年(1988)1月22日
 H 03 K 19/086 8326-5J
 H 01 L 27/08 1 0 1 Z-7925-5F
 H 03 K 19/003 8326-5J 審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 論理回路

⑯ 特 願 昭61-160262

⑰ 出 願 昭61(1986)7月8日

⑱ 発 明 者 角 井 広 幸 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 発 明 者 山 口 賢 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

論理回路

2. 特許請求の範囲

複数のトランジスタ($Q_1 \sim Q_n$)でカレントスイッチを構成したエミッタ・カップルド・ロジック形の論理回路において、

該複数のトランジスタ($Q_1 \sim Q_n$)にアースレベルの電圧(V_{cc})よりの電流を供給する複数の抵抗($R_1 \sim R_n$)夫々に対応して設けられており、該複数のトランジスタ($Q_1 \sim Q_n$)と該複数の抵抗($R_1 \sim R_n$)との接続点に一端を接続され、負のレベルの電圧(V_{EE})に他端を接続された複数の定電流回路(21, 22, 26, 27, 41)を有することを特徴とする論理回路。

3. 発明の詳細な説明

(概要)

本発明は論理回路であって、カレントスイッチを構成するトランジスタのコレクタに接続された電源から電流を供給する抵抗に定電流回路を接続

して、この抵抗に小電流を流すことによって出力レベルを一定にしつつ、抵抗値を小さくすることによって、 α 線の入束による負極性ノイズの放電時間を短くし、そのパルス幅を短くする。

(産業上の利用分野)

本発明は論理回路に関し、特にフリップフロップ等の前段に設けられるECL形の論理回路に関する。

論理回路の半導体集積回路ではアンド回路、オア回路等の組合せ回路とフリップフロップ、レジスタ等の順序回路とが従々に組合せられて回路構成がなされている。

上記の論理回路においては第4図に示す如く、順序回路であるD形のフリップフロップ1のクロック入力に組合せ回路であるオア回路2を介して供給することが一般的である。

(従来の技術)

第5図は従来の論理回路の一例の回路図を示す。

特開昭63-15527 (2)

この回路はECL(エミッタ・カップルド・ロジック)形のオア回路で第4図のオア回路2に用いられるものである。

同図中、端子10又は11が端子12の基準電圧 V_{REF} より高いHレベルとなると、抵抗 R_1 及びトランジスタ Q_1 にはほとんど電流が流れなくなり、端子13よりHレベルの信号が出力される。

(発明が解決しようとする問題点)

第5図示の回路において、端子13よりHレベルの信号が出力されている際に、この回路に α 線が入来すると、トランジスタ Q_1 のコレクタ及び抵抗 R_1 の接合部で電離現象が発生し、トランジスタ Q_1 のコレクタ電位が瞬間的に下がり、端子13の出力信号レベルが下がる。つまり α 線により負極性ノイズが発生する。

上記負極性ノイズにより端子13の電圧がフリップフロップ1のスレッシュホールドレベル以下となるとフリップフロップ1はデータ入力をラッチ

してしまい、誤動作を起こすという問題点があった。

また、第5図示の回路の出力信号が例えばSR形のフリップフロップのセット入力端子又はリセット入力端子に供給される場合にも、同様にしてSR形のフリップフロップの内部状態が反転し誤動作を起こす。

本発明はこのような点にかんがみてなされたものであり、 α 線による負極性ノイズの放電時間を短かくしそのパルス幅を短かくした論理回路を提供することを目的とする。

(問題点を解決するための手段)

本発明になる論理回路は、複数のトランジスタ($Q_1 \sim Q_n$)にアースレベルの電源(V_{cc})よりの電流を供給する複数の抵抗($R_1 \sim R_n$)夫々に対応して設けられており、複数のトランジスタ($Q_1 \sim Q_n$)と複数の抵抗($R_1 \sim R_n$)との接続点に一端を接続され、負のレベルの電源(V_{EE})に他端を接続された複数の定電流回路

(21, 22, 26, 27, 41)を有する。

(作用)

例えばトランジスタ Q_1 のコレクタにおける、 α 線による負極性ノイズの放電時間 T は、トランジスタ Q_1 のコレクタ及び抵抗 R_1 夫々の接合容量とトランジスタ Q_1 のコレクタの浮遊容量との和を C とし、抵抗 R_1 と R_1 との和を R とすると、次の如く表わされる。

$$T \propto C \cdot R$$

本発明においては上記の抵抗 R が従来より R_0 だけ小さくなるため、負極性ノイズの放電時間 T が短くなりそのパルス幅が短くなる。

(実施例)

第1図は本発明になる論理回路の第1実施例の回路図を示す。同図中、第5図と同一部分には同一符号を付し、その説明を省略する。

第1図の回路はECL形のオア回路及びノア回路である。トランジスタ Q_1, Q_2, Q_3 はカレ

ントスイッチを構成しており、これらのエミッタ電流は定電流回路20を流れる。トランジスタ Q_1 のコレクタは抵抗 R_1 を介してアースレベル($-0V$)の電源 V_{cc} に接続され、トランジスタ Q_2, Q_3 夫々のコレクタは抵抗 $R_2 (-R_1)$ を介して電源 V_{cc} に接続されている。

また、トランジスタ Q_1 のコレクタはエミッタフォロア構成のトランジスタ Q_4 のベースに接続されると共に、定電流回路21の一端に接続され、定電流回路21の他端は負のレベル($-5.2V$)の電源 V_{EE} に接続されている。トランジスタ Q_2, Q_3 夫々のコレクタもエミッタフォロア構成のトランジスタ Q_5, Q_6 のベースに接続されると共に定電流回路22の一端に接続され、定電流回路22の他端は電源端子 V_{EE} に接続されている。

定電流回路21, 22夫々は、定電流回路20の流す電流 i_1 に比して小電流の電流 i_2 を流す。

端子10又は11が端子12の基準電圧 V_{REF} より高いHレベルとなると、トランジスタ Q_1 にはほとんど電流は流れないが、抵抗 R_1

特開昭63-15527 (3)

には定電流回路21によって電流 i_2 が流れる。電流 i_2 は小電流であるため、トランジスタ Q_4 のエミッタに接続された端子13のオア出力の出力信号はHレベルである。

また、このとき抵抗 R_2 には定電流回路20による電流 i_1 と定電流回路22による電流 i_2 とが流れ、トランジスタ Q_5 のエミッタに接続された端子23のノア出力の出力信号はLレベルである。

このように、端子13のHレベル出力時においては α 線が到来して端子13の出力信号のレベルが低下しても放電時間が短くなることにより、そのパルス幅が短くなり、次段のフリップフロップが誤動作を起こすことを防止できる。

端子10及び11がLレベルである場合も、同様にして α 線が到来して端子23の出力信号のレベルが低下しても放電時間が短くなることにより、そのパルス幅が短くなる。

第2図は本発明回路の第2実施例の回路図を示す。この回路はECL形のアンド回路及びナンド

回路である。トランジスタ Q_6 、 Q_7 はカレントスイッチを構成し、夫々のエミッタは電流 i_1 を流す定電流回路24に接続されている。トランジスタ Q_8 、 Q_9 はカレントスイッチを構成し、夫々のエミッタはトランジスタ Q_7 のコレクタに接続され、夫々のコレクタは抵抗 R_1 、 R_2 を介して電源 V_{cc} に接続されている。トランジスタ Q_7 のベースはトランジスタ Q_8 のエミッタ及び小電流 i_2 を流す定電流回路25に接続されている。

トランジスタ Q_8 のコレクタはエミッタフォロア構成のトランジスタ Q_{10} のベースに接続されると共に定電流回路26に接続され、トランジスタ Q_9 のコレクタはエミッタフォロア構成のトランジスタ Q_{11} のベース及び小電流 i_1 を流す定電流回路27に接続されている。

端子28が端子29の基準電圧 V_{REF1} より高いHレベルで、かつ端子30が端子29の基準電圧 V_{REF1} より高いHレベルであるときトランジスタ Q_6 およびトランジスタ Q_7 にはほとん

ど電流は流れないが、抵抗 R_1 には定電流回路25によって小電流 i_2 が流れトランジスタ Q_{10} のエミッタに接続された端子32のアンド出力信号はHレベルである。このように端子32のHレベル出力時においては、 α 線が到来して端子32の出力信号のレベルが低下しても放電時間が短くなることにより、そのパルス幅が短くなる。同様にして端子28又は30がLレベルであるときも、 α 線が到来して端子33の出力信号のレベルが低下しても放電時間が短くなることにより、そのパルス幅が短くなる。

第3図は本発明回路の第3実施例の回路図を示す。同図中、第2図と同一部分には同一符号を付し、その説明を省略する。

同図中、カレントスイッチを構成するトランジスタ Q_6 、 Q_7 のエミッタは電流 i_1 を流す定電流回路40に接続されている。端子31には基準電圧 V_{REF1} が供給されている。また、トランジスタ Q_6 、 Q_7 のコレクタはトランジスタ Q_{10} のベースに接続されている。トランジスタ

Q_7 のコレクタは抵抗 R_2 を介して電源 V_{cc} に接続され、かつエミッタフォロア構成のトランジスタ Q_{11} のベースに接続されると共に小電流 i_2 を流す定電流回路41に接続されている。

端子28、30夫々が基準電圧 V_{REF1} より高いHレベルのときに、抵抗 R_1 には定電流回路26により小電流 i_2 が流れ端子32の出力信号はHレベルである。また端子28又は30が基準電圧 V_{REF1} より低いLレベルのときに、抵抗 R_1 、 R_2 夫々には定電流回路27、41により小電流 i_1 が流れ端子33の出力信号はHレベルである。このように、端子32又は33のHレベル出力時においては、 α 線が到来して出力信号のレベルが低下してもそのパルス幅は短くなる。

(発明の効果)

上述の如く、本発明によれば、 α 線の到来により発生する負極性ノイズの放電時間を短くすることができ、Hレベルの出力信号のレベル低下のパルス幅が短くでき後段のフリップフロップ等

特開昭 63-15527 (4)

の誤動作を防止できる。

4. 図面の簡単な説明

第1図、第2図、第3図夫々は本発明になる論

理回路の各実施例の回路図、

第4図は論理回路の接続を示す図、

第5図は従来回路の一例の回路図である。

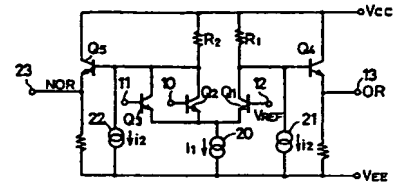
図中において、

20~22, 24~27, 40, 41は定電流

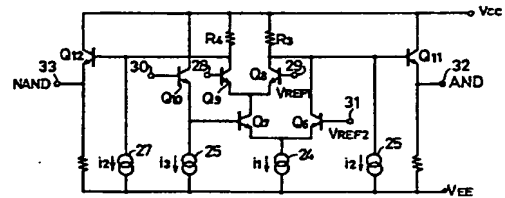
回路、

$R_1 \sim R_4$ は負荷抵抗、

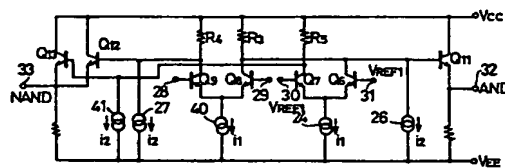
$Q_1 \sim Q_{11}$ はトランジスタである。



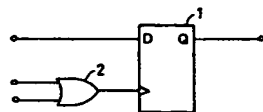
第1図



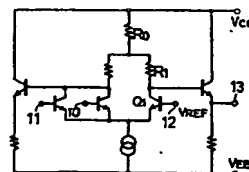
第2図



第3図



第4図



第5図